

⑫ 公開特許公報(A) 平4-205133

⑤ Int. Cl.⁵G 06 F 3/06
G 11 B 20/18

識別記号

3 0 5 A
1 0 2

庁内整理番号

7232-5B
9074-5D

⑬ 公開 平成4年(1992)7月27日

審査請求 未請求 請求項の数 5 (全9頁)

⑭ 発明の名称 ディスク制御装置

⑯ 特 願 平2-328858

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 角 田 元 泰 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内

⑱ 発 明 者 磯 野 聡 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内

⑱ 発 明 者 唐 沢 徳 亨 神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立ビデオエンジニアリング株式会社 神奈川県横浜市戸塚区吉田町292番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

ディスク制御装置

2. 特許請求の範囲

1. 誤り検出/訂正回路をもつディスク制御装置において、

ホストコンピュータから送出されるブロック単位のパラレルデータを、半導体メモリに書込むと同時にECC演算を行い、検査シンボルを生成する手段と、生成した前記検査シンボルを半導体メモリに書込む手段と、記録媒体から読出されるデータと前記検査シンボルを前記半導体メモリに書込むと同時に、前記ECC演算を行い、読出されたデータの誤り検出を行う手段と、誤りデータが検出された場合、半導体メモリ上の誤りデータを訂正する手段と、前記半導体メモリ上のデータ並びに前記検査シンボルを、前記ホストコンピュータ、若しくは前記記録媒体に送出すると同時に前記ECC演算を行い、転送したデータの誤り検出を行う手段と、前記

誤りデータが検出された場合、転送先の前記誤りデータを訂正する手段を具備する手段を設けたことを特徴とするディスク制御装置。

2. 請求項1において、前記記録媒体から読出されるデータと前記検査シンボルを前記半導体メモリに書込む時に行う前記ECC演算と、前記半導体メモリ上のデータ並びに前記検査シンボルを、前記ホストコンピュータ、若しくは前記記録媒体に送出する時にそれぞれ行う前記ECC演算を、一つの誤り検出/訂正回路で行うディスク制御装置。

3. 請求項1または2において、誤り訂正符号にリードソロモン符号を使用するディスク制御装置。

4. 請求項1または2において、その機能をチップのLSI上に設けるディスク制御装置。

5. 請求項1または2のディスク制御装置を備えたディスク制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ディスク制御装置におけるデータの誤り検出／訂正機能を用いて、半導体メモリの、データの信頼性を向上させる装置に関する。

〔従来の技術〕

従来の技術は、例えば、H D 6 4 9 5 0 5（日立製ハード・ディスク・コントローラ）に記載のように、ディスク制御装置と記録媒体間のデータの信頼性を向上させるために、ディスク制御装置において、データ書き込み時、ホストコンピュータから送出されるブロック単位の平行データに対し、検査シンボルを生成し、データに続けて、記録媒体に付加し、また、データ読出し時、記録媒体から読出されるデータと検査シンボルから、データに誤りがないかどうかをチェックし、誤りが検出された場合、その誤りデータを訂正した後、データをホストコンピュータに転送していた。

以下、従来技術を更に詳細に説明する。

第9図、第10図は、従来のディスク装置に使用されているディスク制御装置の内部構成を示すブロック図であり、誤り検出／訂正部2（以下E

CC部と称す）、ホストインタフェース制御部3、ドライバインタフェース制御部4、バッファ制御部5、セクタ6から成る。第9図は、ホストコンピュータとバッファ7間のデータ転送（以下、ホスト→バッファ転送と称す）と記録媒体とバッファ7間のデータ転送（以下、ドライバ→バッファ転送と称す）を同時に行う場合のデータの流れを示しており、第10図は、これら二つの転送を同時に行わない場合を示している。

従来のディスク制御装置1における記録媒体へのデータ書き込み時の動作を第11図、第14図を用いて、又、記録媒体からのデータ読出し時の動作を第12図、第13図を用いて説明する。

（1）記録媒体へのデータ書き込み時

ホストコンピュータから送出されるブロック単位の平行データ（以下DATA 23と称す）は、ディスク制御装置1で、第11図のように、ホストインタフェース制御部3からバッファ制御部5へ転送され、バッファ7に格納される。その後、第14図のように、格納されたDATA 23

はバッファ制御部5を介してドライバインタフェース制御部4に転送されるが、同時に、ECC部2にも転送されてECC演算が行われ、検査シンボル（以下ECC 24と称す）が生成される。そして、バッファ7から読出されたDATA 23に続けて、ECC 24もドライバインタフェース制御部4に転送され、記録媒体上に、DATA 23とECC 24が記録される。

（2）記録媒体からのデータ読出し時

記録媒体から読出されたDATA 23とECC 24は、ディスク制御装置1のドライバインタフェース制御部4に転送される。そして、第12図のように、DATA 23は、ドライバインタフェース制御部4からバッファ制御部5を介し、バッファ7に格納されるが、同時に、ECC部2にも転送され、ECC演算が行われる。ECC部2では、DATA 23に続いて読出されるECC 24も入力され、DATA 23の誤り検出が行われる。DATA 23に誤りが検出された場合、バッファ7に格納されている誤りデータの訂正を行う。そ

して、第13図のように、DATA 23はバッファ制御部5からホストインタフェース制御部3を介し、ホストコンピュータに転送される。

〔発明が解決しようとする課題〕

上記従来技術は、ディスク制御装置1と記録媒体間のデータに対し、誤り検出／訂正機能を備えるものであるが、ディスク制御装置1とバッファ間のデータに対しては、誤り検出／訂正機能を備えていない。このため、仮にデータを格納しているバッファに誤動作が生じ、データに誤りが発生したとしても、これを検出する手段がないため、誤ったデータをそのままホストコンピュータに転送してしまう危険性があり、ディスク装置1やディスク装置1を含むシステム全体の信頼性が低下してしまう。

、そして、データをバッファに格納している時間が長くなればなるほど、バッファの誤動差によるデータの誤る確率も高くなる。例えば、データバッファにキャッシュ機能を搭載した場合、データを長時間に亘って格納する場合もあるので、デ

ータの誤る確率も高くなってしまふ。

本発明の目的は、取扱うデータ、並びにディスク装置全体の信頼性を高めることにある。

[課題を解決するための手段]

上記目的を達成するために、本発明では、データの誤り検出／訂正機能をもつディスク制御装置において、ホストコンピュータから送出されるブロック単位のパラレルデータを、バッファに格納すると同時にECCの演算を行う手段を設け、更に、生成された検査シンボルをバッファに書込む手段を設けた。更に、バッファからホストコンピュータ並びに記録媒体にデータを転送する際、また、記録媒体から読出されるデータをECCと共にバッファに格納する際、転送するデータに誤りがないかどうかをチェックする手段と、データの誤りを検出した場合、誤りデータを訂正する手段を具備した。

[作用]

第1図、第2図は、本発明の技術的手段を備えたディスク制御装置1の内部構成を示すブロック

23が入力されるとECC部2において、検査シンボル（以下ECC24と称す）が生成され、DATA23に続けてECC24もバッファ7に格納される。

また、第6図は記録媒体から読出されたDATA23とECC24のバッファ7への書込み時の動作を示している。この際、DATA23とECC24はバッファ7に格納されると同時にECC部2にも入力され、DATA23に誤りがないかどうかをチェックする。誤りが検出された場合、バッファ7に格納されている誤りデータを訂正する。

(2) バッファからのデータ読出し時

第7図並びに第8図は、それぞれ、ホストコンピュータ、並びに記録媒体へのデータ送出時の動作を示している。この際、第6図と同様に、バッファ7から読出されるDATA23とECC24はECC部2にも送出され、誤り検出を行う。誤りが検出された場合、それぞれの転送先で、誤りデータの修正を行う。

図であり、誤り検出／訂正部（以下ECC部と称す）2、ホストインタフェース制御部3、ドライブインタフェース制御部4、バッファ制御部5から成り、第1図は、先に述べたホスト→バッファ転送とドライブ→バッファ転送を同時に行う場合、第2図はこれら二つの転送を同時に行わない場合を示している。先に述べた技術的手段の動作について説明する。第5図、第6図を用いて、ホストコンピュータから、又は、記録媒体から、バッファへのデータ書込み時の動作について説明し、第7図、第8図を用いて、バッファからホストコンピュータ、又は、記録媒体へのデータ読出し時の動作について説明する。

(1) バッファへのデータ書込み時

第5図はホストコンピュータからバッファへのデータ書込み時の動作を示している。ホストコンピュータから送出されるデータ（以下DATA23と称す）はバッファ制御部5を通してバッファに格納されると同時にECC部2にも入力されECC演算が行われる。一ブロック全てのDATA

[実施例]

以下、本発明の一実施例として、先に述べた、ホスト→バッファ転送とドライブ→バッファ転送を同時に行わない場合のディスク制御装置の動作について説明する。なお、ここでは誤り訂正符号に、12バイトのリードソロモン符号を使用した場合を想定する。

第2図に示されるように、ディスク制御装置1は、誤り検出／訂正部2（以下ECC部と称す）、ホストインタフェース制御部3、ドライブインタフェース制御部4、バッファ制御部5、セクタ6から成る。

ECC部2は、入力される複数バイトのDATA23から、12バイトのECC24を生成し、ECCを出力する。また、DATA23とECC24を入力することにより、入力されたDATA23に誤りが生じているかどうかを判定し、誤りが検出された場合、誤りデータの訂正パターンを求める機能を備えている。

次に、本発明の一実施例であるディスク制御装

置の動作について説明する。第3図はディスク制御装置1をもつディスク装置9の内部構成を示すブロック図である。

同図に見られるように、ディスク装置9は、ディスク制御装置1、マイクロプロセッサ10、データバッファ7、ホストインタフェース制御装置11、シリアル/パラレル変換回路12、記録再生回路13、記録媒体14から成る。

第4図(a)は、記録再生回路13のデータ書き込み時の構成が示されており、符号化回路16、書き込みクロック生成回路15、ヘッドアンプ17、リード/ライトヘッド18からなる。また、第4図(b)は、記録再生回路13のデータ読出し時の構成が示されており、復号化回路21、位相同期回路20、波形整形回路22、ヘッドアンプ17、リード/ライトヘッド18から成る。

ここで、第3図に示されるようなホストコンピュータ8とディスク装置2間のデータ転送の経路を、先に述べた誤り検出/訂正機能を中心に説明する。DATA23は一ブロック512バイトで

7に書込まれる。また、第8図に示すように、データバッファ7内のDATA23とECC24は、記録媒体14に書込むためにドライブインタフェース制御部4に転送されるが、同時に、ECC部2にも入力され、DATA23の誤り検出を行う。誤りが検出された場合、ECC部2の演算結果であるエラーシンドロームより、訂正位置と訂正パターンを求めることができるので、データバッファ7に書込んだDATA23を訂正し、訂正後のDATA23を、再度、ドライブインタフェース制御部4に転送することが可能である。さらに、DATA23とECC24は、ドライブインタフェース制御部4から、シリアル/パラレル変換回路12に転送され、シリアルデータに変換された後、記録再生回路13で符号化され、リード/ライトヘッド18を用いて記録媒体14に記録される。

(2) 記録媒体からのデータ読出し時

記録媒体14に格納されているDATA23とECC24は、リード/ライトヘッド18を用い

あるものとし、ディスク制御装置1内のDATA23並びにECC24の転送は1バイト単位で行われるものとする。

以下、第5図、第8図を用いて、記録媒体14へのデータ書き込み時の動作について、又、第6図、第7図を用いて、記録媒体14からのデータ読出し時の動作について、詳細に説明する。

(1) 記録媒体へのデータ書き込み時

ホストコンピュータ8から送出されるパラレルデータは、パラレルインタフェースを介してディスク装置9のホストインタフェース制御装置11で受信され、更に、ディスク制御装置1のホストインタフェース制御部3に転送される。この転送されたデータ(以下、DATA23と称す)は、第5図に示されるように、バッファ制御部5を通してデータバッファ7に転送されると同時にECC部2にも転送され、ECC演算が行われる。一ブロック全てのDATA23が転送されると、ECC部2で、12バイトのECC24が生成され、DATA23に続けてECC24もデータバッファ

7に読出され、記録再生回路13で復号化された後、NRZ信号19としてシリアル/パラレル変換回路12に転送され、パラレルデータとなり、DATA23並びにECC24としてディスク制御装置1に送出される。

送出されたDATA23とECC24は、第6図に示されるように、ドライブインタフェース制御部4からバッファ制御部5を介してデータバッファ7へ転送されると同時にECC部2にも転送され、DATA23の誤り検出を行う。誤りを検出した場合、前述の場合と同様、データバッファ7に格納されている誤った読出しデータを訂正することができる。

更に、データバッファ7内のDATA23は、第7図に示されるように、バッファ制御部5からホストインタフェース制御部3へ転送すると同時にECC部2にも転送され、更に、ECC24をECC部2に入力することにより、データバッファ7からホストコンピュータ8に転送したDATA23の誤り検出を行う。誤りを検出した場合、

前述の場合と同様、データバッファ7内の誤ったDATA23を訂正し、訂正後のDATA23を再度、ホストインタフェイス制御部3に転送することができる。

本実施例では、従来のディスク制御装置に多少の変更を加えるだけで、ディスク制御装置と記録媒体間、並びに、ディスク制御装置とデータバッファ間の両方に対して、誤り検出／訂正機能を設けることが可能となり、ディスク装置全体の信頼性を高めることができる。

[発明の効果]

本発明によれば、ディスク制御装置1のECC部2により、ディスク制御装置1と記録媒体14間だけでなく、ディスク制御装置1とデータバッファ7間のデータ転送時にも、誤り検出／訂正を行うことが可能となるため、ディスク装置9やディスク装置9を含むシステム全体の信頼性を向上させることができる。更に、誤り検出／訂正回路2を共有する場合には、回路量の増加も抑制することができる。また、第3図に示されるデータバ

ッファ7が、キャッシュ機能をもつ場合、データバッファ7に保持される時間が長くなるため、本発明によるデータバッファ7の信頼性の向上は大いに有効である。これは、データバッファを半導体ディスク装置として使用する場合にも同様である。

4. 図面の簡単な説明

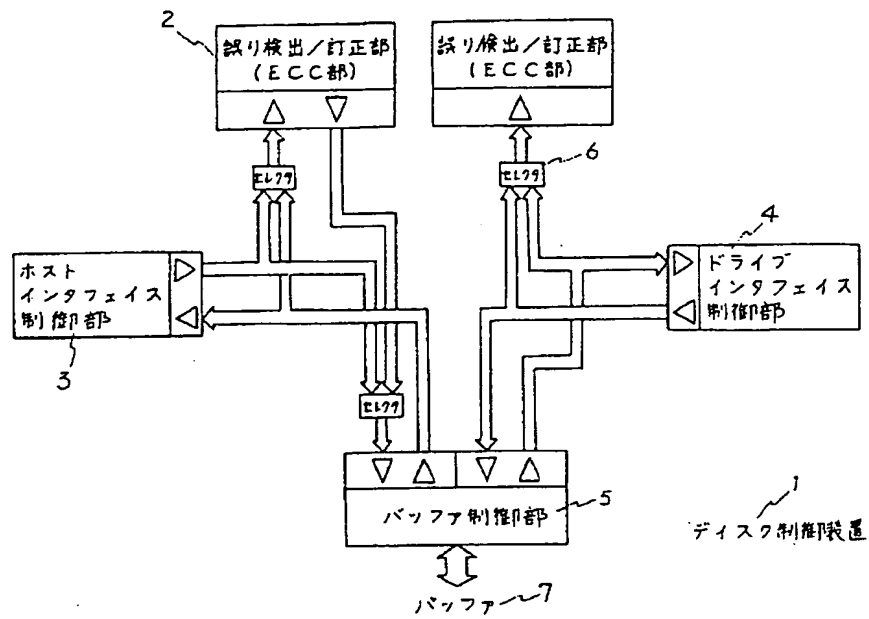
第1図、第2図は本発明のディスク制御装置の内部構成を示すブロック図、第3図はディスク装置の内部構成を示すブロック図、第4図は、記録再生回路のブロック図、第5図から第8図は本発明のディスク制御装置の動作説明図、第9図、第10図は従来のディスク制御装置の内部構成のブロック図、第11図から第14図は従来のディスク制御装置の動作説明図である。

符号の説明

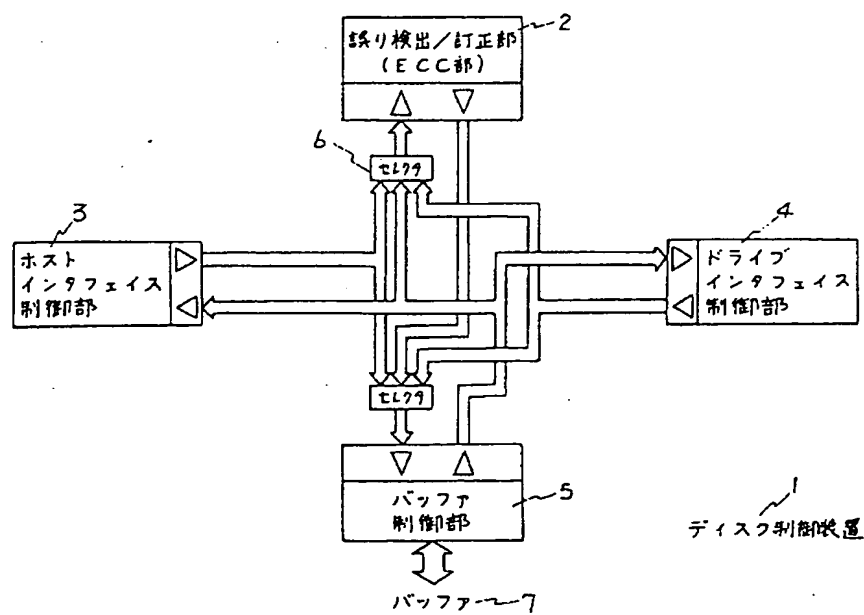
1…ディスク制御装置、2…誤り検出／訂正部、3…ホストインタフェイス制御部、4…ドライバインタフェイス制御部、5…バッファ制御部、6…セクタ、7…バッファ、8…ホストコンピュータ、9…ディスク装置、10…マイクロプロセッサ、11…ホストインタフェイス制御装置、12…シリアル／パラレル変換回路、13…記録再生回路、14…記録媒体、15…群込みクロック生成回路、16…符号化回路、17…ヘッドアンプ、18…リード／ライトヘッド、19…NRZ信号、20…位相同期回路、21…復号化回路、22…波形整形回路、23…DATA、24…ECC。

ータ、9…ディスク装置、10…マイクロプロセッサ、11…ホストインタフェイス制御装置、12…シリアル／パラレル変換回路、13…記録再生回路、14…記録媒体、15…群込みクロック生成回路、16…符号化回路、17…ヘッドアンプ、18…リード／ライトヘッド、19…NRZ信号、20…位相同期回路、21…復号化回路、22…波形整形回路、23…DATA、24…ECC。

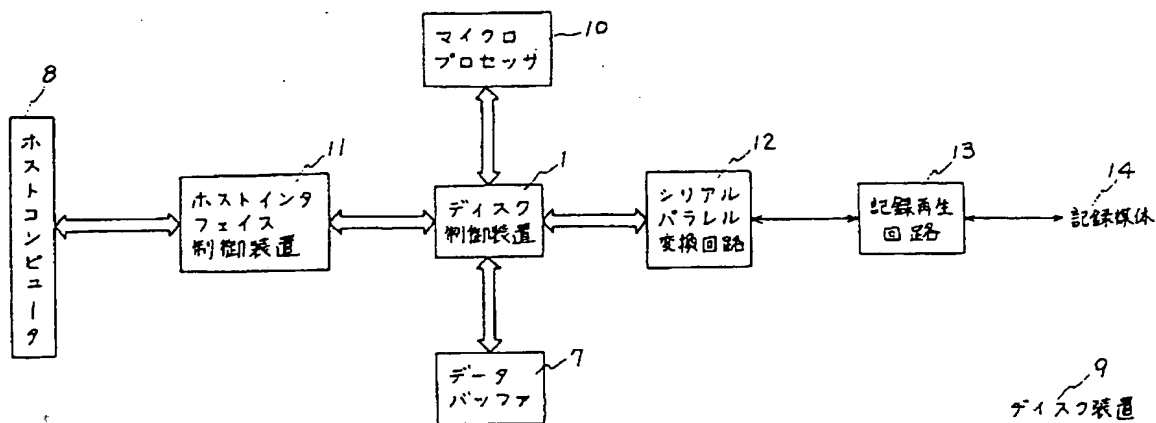
第 1 図



第 2 図

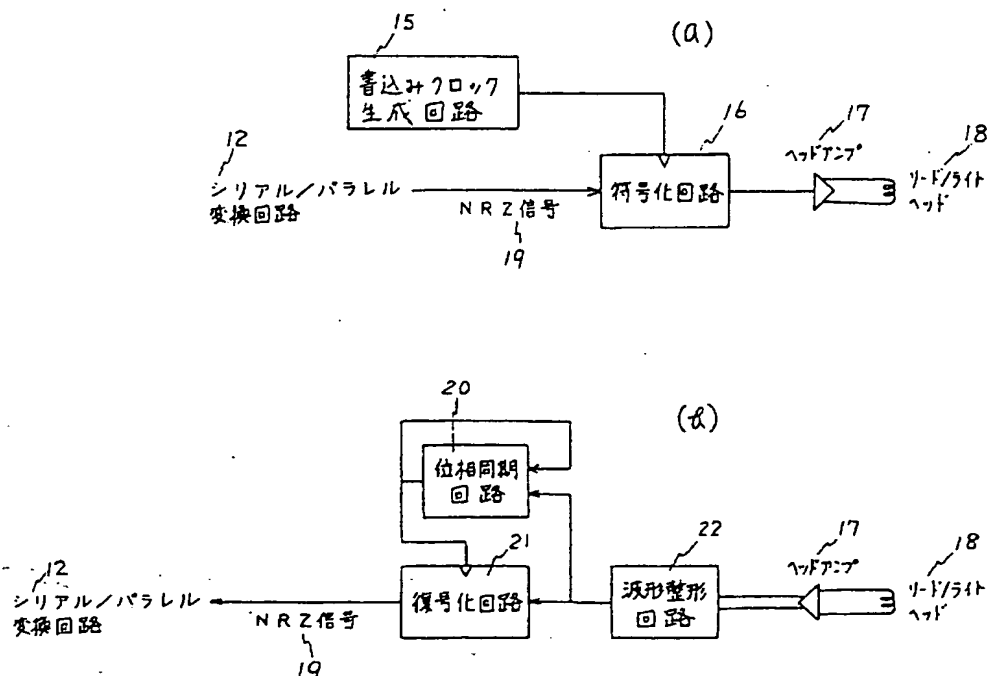


第3図

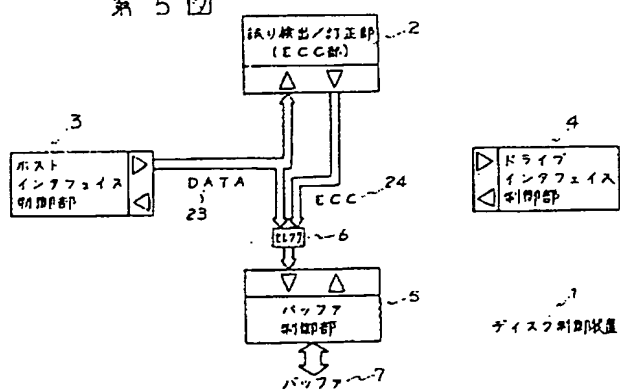


データの取り扱い
 ⇔ パラレル
 ⇨ シリアル

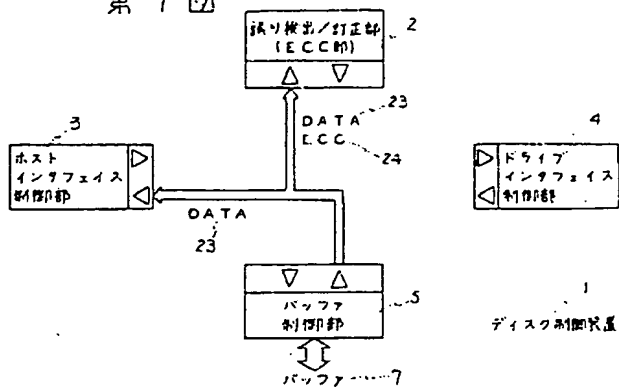
第4図



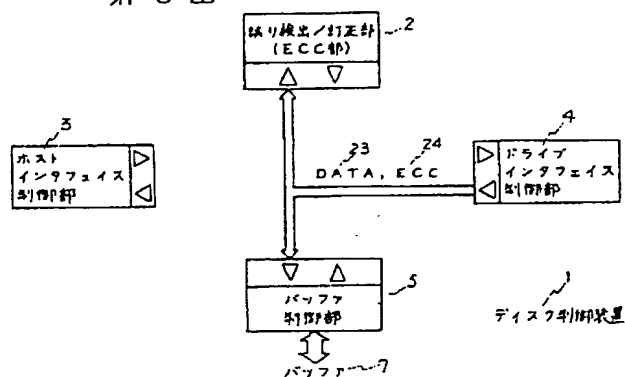
第 5 図



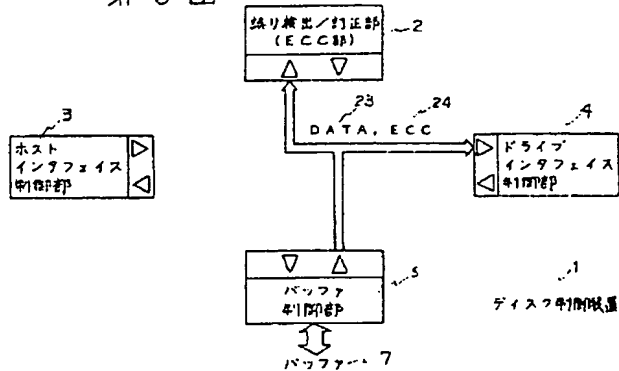
第 7 図



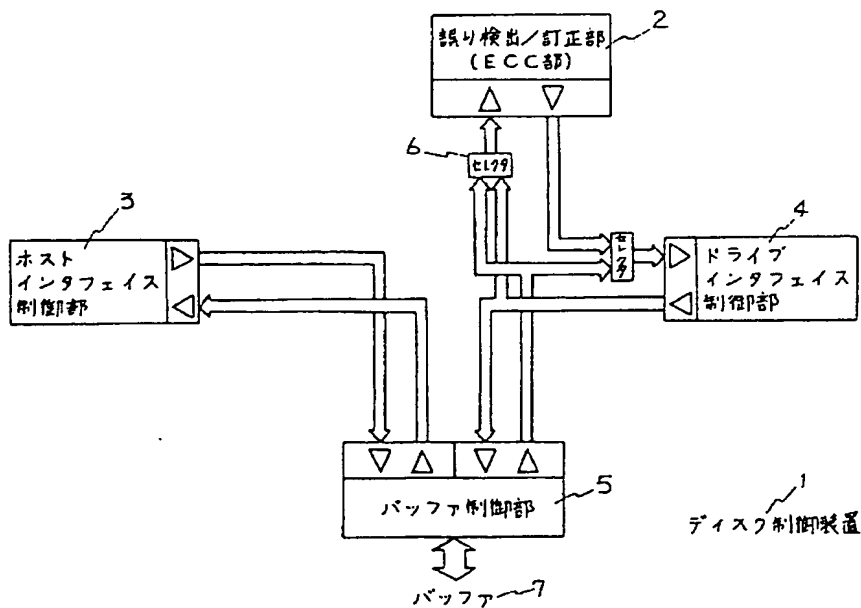
第 6 図



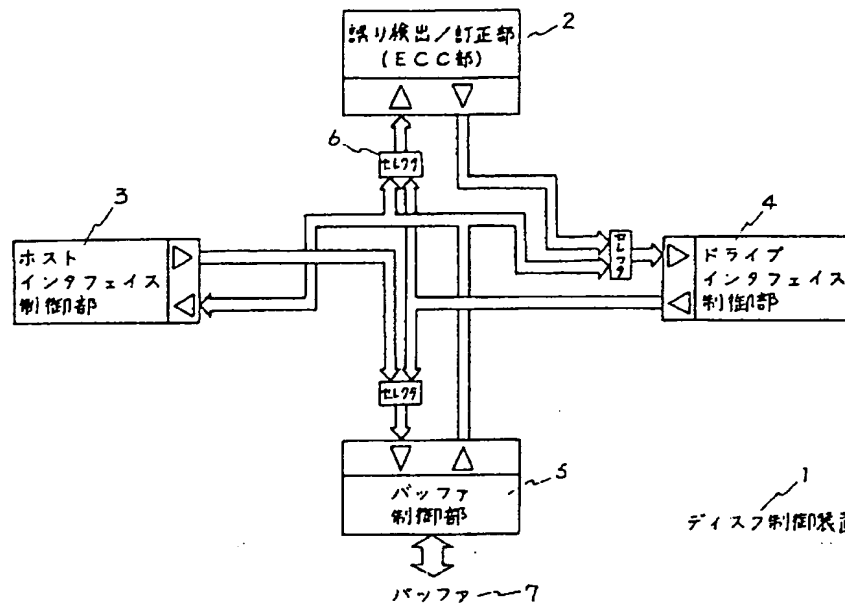
第 8 図



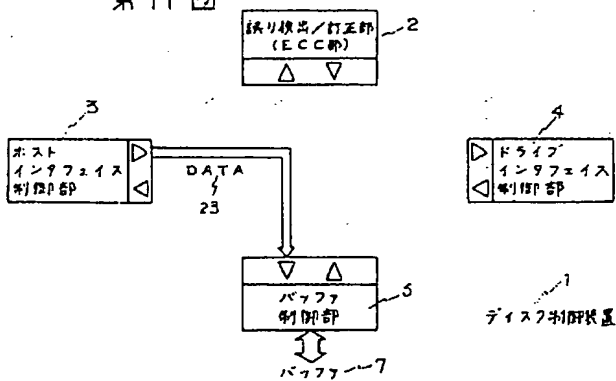
第 9 図



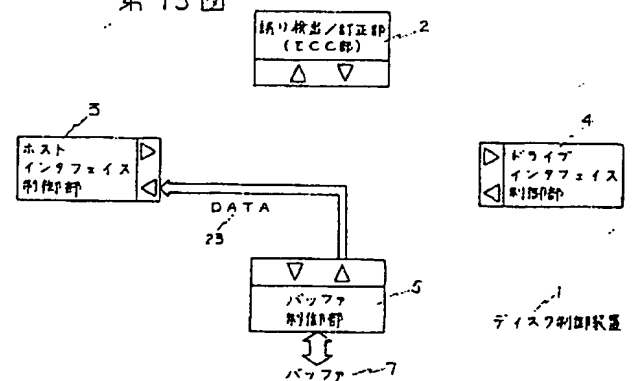
第 10 図



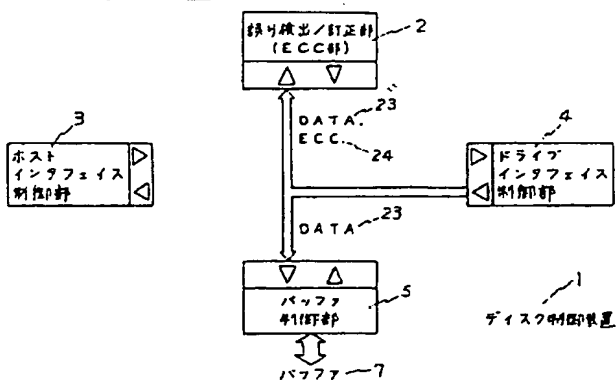
第 11 図



第 13 図



第 12 図



第 14 図

